

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000331898 A**(43) Date of publication of application: **30.11.00**

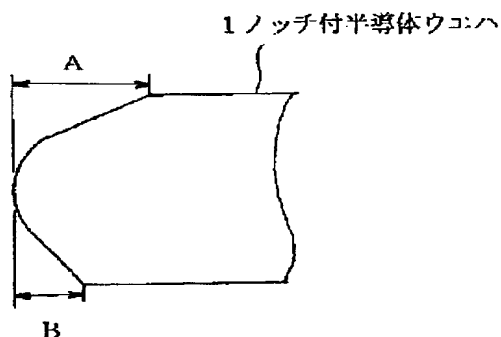
(51) Int. Cl.

H01L 21/02(21) Application number: **11141062**(22) Date of filing: **21.05.99**(71) Applicant: **HITACHI CABLE LTD**(72) Inventor: **KOMATA CHIKAFUMI
TANI TAKEHIKO
INADA TOMOKI****(54) NOTCHED SEMICONDUCTOR WAFER****(57) Abstract:**

PROBLEM TO BE SOLVED: To make the front and back surfaces easily identifiable by specifying the front surface chamfer quantity of a notched part and the back surface chamfer quantity of a notched semiconductor wafer.

SOLUTION: A GaAs compd. semiconductor crystal is sliced into a semiconductor wafer by referring to its (100) plane. The periphery of the wafer is chamfered. One end of the periphery of the wafer is cut (notched) in the (010) direction and a notched part is chamfered continuously by the same machine. The chamfer quantity is set so that the front surface chamfer quantity A is twice or more the back surface chamfer quantity B, $A \geq 2B$ for easily visually identifying the chamfer quantity difference of the notched part where the front surface chamfer quantity of the notched semiconductor wafer 1 is A and the back surface chamfer quantity is B.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-331898
(P2000-331898A)

(43) 公開日 平成12年11月30日 (2000. 11. 30)

(51) Int.Cl.⁷
H 0 1 L 21/02

識別記号

F I
H 0 1 L 21/02

テ-マ-ト* (参考)

A
B

審査請求 未請求 請求項の数 1 O L (全 3 頁)

(21) 出願番号 特願平11-141062

(22) 出願日 平成11年5月21日 (1999. 5. 21)

(71) 出願人 000005120

日立電線株式会社

東京都千代田区大手町一丁目6番1号

(72) 発明者 小又 慎史

茨城県日立市日高町5丁目1番1号 日立
電線株式会社日高工場内

(72) 発明者 谷 毅彦

茨城県日立市日高町5丁目1番1号 日立
電線株式会社日高工場内

(72) 発明者 稲田 知己

茨城県日立市日高町5丁目1番1号 日立
電線株式会社日高工場内

(54) 【発明の名称】 ノッチ付半導体ウェハ

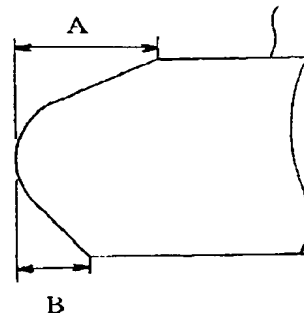
(57) 【要約】

【課題】 ノッチ付半導体ウェハの表面と裏面が容易に識別できる、ノッチ付半導体ウェハを提供すること。

【解決手段】 円形半導体ウェハの結晶方位を識別するため、該半導体ウェハの外周の一端に切り込み加工が施されて成るノッチ付半導体ウェハにおいて、前記ノッチ部分の表面の面取量をA、裏面の面取量をBとしたとき、 $A \geq 2 \cdot B$ の関係を満足するように構成したことにあ

る。

1 ノッチ付半導体ウェハ



【特許請求の範囲】

【請求項1】円形半導体ウエハの結晶方位を識別するため、該半導体ウエハの外周の一端に切り込み（ノッチ）加工が施されて成るノッチ付半導体ウエハにおいて、前記ノッチ部分の表面の面取量をA、裏面の面取量をBとしたとき、 $A \geq 2 \cdot B$ を満足するように構成して成ることを特徴とするノッチ付半導体ウエハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、円形半導体ウエハの結晶方位を識別するため、該半導体ウエハ外周の一端に切り込み（ノッチ）加工が施されて成る、ノッチ付半導体ウエハに関するものである。

【0002】

【従来の技術】半導体デバイスは、その性能を最大限に生かすため、材料である半導体ウエハの最適な結晶方位を基準にして作製される必要がある。そのため、半導体ウエハには結晶方位を識別するため切削加工が施されている。

【0003】図2は、従来の半導体ウエハの第一例を示す平面図である。11は半導体ウエハ、12はオリエンテーションフラットである。基準となる結晶方位に沿って半導体ウエハ11の一端を直線状に加工したもので、加工部をオリエンテーションフラットと呼ぶ。以下、省略してオリフラと呼ぶこともある。通常オリフラ12は、半導体ウエハ11の外径に対し1/3程度の長さになるように加工される。

【0004】さて、半導体デバイスの高集積化に伴い、半導体ウエハ11に高平坦度が要求された場合、半導体ウエハ11の表面と裏面にミラー加工（鏡面加工）を施す必要がある。このミラー加工は、半導体ウエハ11の表面と裏面とで同時に行なわれる。このように半導体ウエハ11の表面と裏面にミラー加工を施すと、オリエンテーションフラット12のみでは、半導体ウエハ11の表裏の識別が困難となる。

【0005】図3は、従来の半導体ウエハの第二例を示す平面図である。これは、半導体ウエハ11の表裏を容易に識別できるようにするため、インデックスフラット13が設けられている。インデックスフラット13は、時には2次オリフラと呼ぶこともある。

【0006】近年、1枚の半導体ウエハから数多くの半導体デバイスを取得し、半導体デバイスのチップコストを低減するために、半導体ウエハの大口径化が進められている。その結果、半導体ウエハの大口径化に伴って半導体ウエハの重量は増加することが避けられない。そのため、スピンコータ等デバイス製造プロセス中で、半導体ウエハの高速回転時における問題が発生した。

【0007】つまり、円形の半導体ウエハに対して、オリエンテーションフラット12やインデックスフラット13が設けられていることにより、半導体ウエハの高速

回転中に偏荷重が発生し、ロータに真空吸着されている半導体ウエハが離脱、飛散するという危険性が出てきた。

【0008】図4は、上述の問題を解決する従来のノッチ付半導体ウエハの平面図である。オリフラ12に替わる結晶方位識別法として、半導体ウエハの外周の一端に切り込み（ノッチ）を施すノッチ加工が行なわれている。ノッチ15の切り込み深さは約1mmである。

【0009】図5は、従来のノッチ付半導体ウエハ14のノッチ部分の面取形状を示す断面図である。A'はノッチ付半導体ウエハ14の表面の面取量、B'はノッチ付半導体ウエハ14の裏面の面取量である。表面及び裏面ともに、面取量は略同じである。

【0010】

【発明が解決しようとする課題】従来のノッチ付半導体ウエハには以下の問題点があった。

【0011】ノッチ15の部分では、他の外周部分と同様に面取加工が施されるが、表面及び裏面とも同量の面取加工が施されていた。そのため、表面と裏面の両面にミラー加工を施した場合、ノッチ15のみではノッチ付半導体ウエハ14の表裏の識別が容易にできないという問題があった。

【0012】従って本発明の目的は、前記した従来技術の欠点を解消し、ノッチ付半導体ウエハの表面と裏面が容易に識別できる、ノッチ付半導体ウエハを提供することにある。

【0013】

【課題を解決するための手段】本発明は上記の目的を実現するため、円形半導体ウエハの結晶方位を識別するため、該半導体ウエハの外周の一端に切り込み加工が施されて成るノッチ付半導体ウエハにおいて、前記ノッチ部分の表面の面取量をA、裏面の面取量をBとしたときに、 $A \geq 2 \cdot B$ の関係を満足するようにした。

【0014】

【発明の実施の形態】図1は、本発明のノッチ付半導体ウエハの一実施例を示す断面図である。1はノッチ付半導体ウエハである。ノッチがある部分について示している。Aはノッチ付半導体ウエハ1の表面の面取量、Bはノッチ付半導体ウエハ1の裏面の面取量である。ノッチがある部分の面取量の違いを目視で容易に識別するために、表面の面取量を裏面の面取量の2倍、または2倍以上とした。

【0015】6インチGaAs（ガリウム砒素）化合物半導体結晶を用いて、実際にノッチ付半導体ウエハの試作を行なった。GaAs化合物半導体結晶から（100）面を基準に、厚さ875μmに結晶をスライスし、半導体ウエハとした。

【0016】次に、半導体ウエハの外周部の面取加工を行なった。鏡面加工に際し表面及び裏面とも厚さ100μm除去し、最終の半導体ウエハの厚さを675μm、

面取量 $300\mu\text{m}$ とするため、面取加工時の面取量は表面及び裏面とも $550\mu\text{m}$ とした。

【0017】そして、同一装置で連続的に【010】方向にノッチ加工及びノッチがある部分の面取加工を行った。面取量は、半導体ウエハの表面が $650\mu\text{m}$ 、半導体ウエハの裏面が $450\mu\text{m}$ とした。

【0018】続いて、両面同時ラップ、両面同時ポリッシュにより表面及び裏面をそれぞれ $100\mu\text{m}$ 研磨した。ここで、ノッチがある部分の面取量を目視で確認したところ表面と裏面の面取量の違いが容易に識別できた。面取量を実際に測定したところ表面は $400\mu\text{m}$ 、裏面は $200\mu\text{m}$ であった。これにより、ノッチ付半導体ウエハの表裏を容易に識別することが可能になった。

【0019】

【発明の効果】本発明のノッチ付半導体ウエハは、ノッチのある部分の面取り量に関して、表面の面取量を裏面の面取量の2倍、または2倍以上としたので、表裏を容易に識別することが可能となり、プロセス中ウエハハンドリング時のノッチ付半導体ウエハの表裏取り違いという単純なミスを防ぎ、デバイス歩留を向上させることが*

できる。

【図面の簡単な説明】

【図1】本発明のノッチ付半導体ウエハの一実施例を示す断面図である。

【図2】従来の半導体ウエハの第一例を示す平面図である。

【図3】従来の半導体ウエハの第二例を示す平面図である。

【図4】従来のノッチ付半導体ウエハの平面図である。

10 【図5】図4のノッチ付半導体ウエハの断面図である。

【符号の説明】

1 ノッチ付半導体ウエハ

11 半導体ウエハ

12 オリエンテーションフラット

13 インデックスフラット

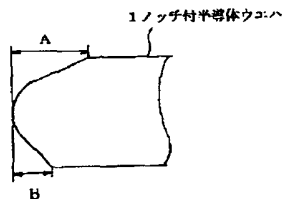
14 ノッチ付半導体ウエハ

15 ノッチ

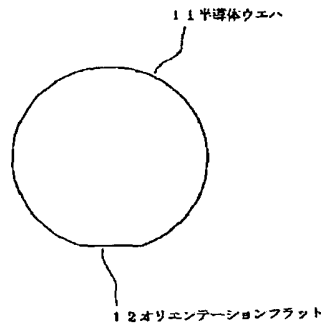
A、A' ノッチ部分の表面の面取量

B、B' ノッチ部分の裏面の面取量

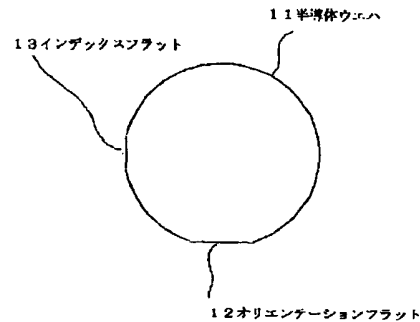
【図1】



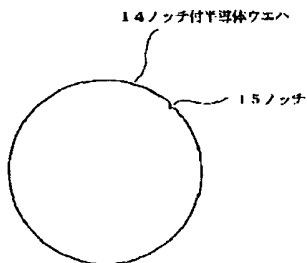
【図2】



【図3】



【図4】



【図5】

